

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-142673

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

H01L 25/04

H01L 25/18

(21)Application number : 05-284801

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.11.1993

(72)Inventor : MATSUNAGA HAYASHI

IWATA MASAO

SUEHIRO YOSHIKAZU

ANPO TAKEO

FURUKAWA KIMINOBU

OKAMOTO IZUMI

TAKEDA KAZUO

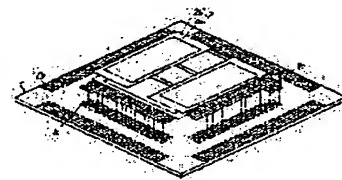
IDA HIDEJI

## (54) INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To provide an integrated circuit device which is adapted to higher processing speed of digital computers and larger memory capacity of internal memories.

**CONSTITUTION:** Bare chips 2a of memory ICs are provided onto film carriers 2b, and outer leads 2c are provided to either of the film carriers 2b and electrically connected to an outer lead pads 1c provided onto a square integrated circuit board 1. Terminal pads 1b are provided near the edges of the square integrated circuit board 1. By this constitution, this integrated circuit device is adapted to higher processing speed of digital computers and larger memory capacity of internal memories.



## LEGAL STATUS

[Date of request for examination] 09.10.1998

[Date of sending the examiner's decision of rejection] 07.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The integrated circuit device which consists of an outer lead pad which has the bare chip of Memory IC on a tape carrier package, arranged in the core side of said substrate component side of the TAB package equipped with the outer lead electrically connected with said bare chip at one of said tape carrier packages, the substrate of a square shape configuration, the terminal pad arranged in the front face of the edge neighborhood of this substrate, and this terminal pad, and connected said outer lead of said TAB package electrically.

[Claim 2] The integrated circuit device according to claim 1 which puts upon said TAB package and comes electrically to connect the outer lead of other TAB packages with the outer lead of the TAB package electrically connected to the location where the outer lead pad on a substrate counters, and the outer lead pad which intersects perpendicularly with said outer lead pad.

[Claim 3] The integrated circuit device according to claim 1 which equips both sides of a substrate with a terminal pad and an outer lead pad, and comes to connect the outer lead of a TAB package with said outer lead pad respectively.

[Claim 4] A substrate is an integrated circuit device according to claim 1 which is forward n square shape ( $n \geq 3$ ).

[Claim 5] The bare chip of a TAB package is an integrated circuit device according to claim 1 which is die length shorter than one half of the distance of the outer lead pad which faces established on the substrate.

[Claim 6] The integrated circuit device according to claim 1 which comes to prepare a surface mounting mold capacitor between each outer lead pads prepared on the substrate.

[Claim 7] The integrated circuit device according to claim 1 which consists of a housing which supports a substrate, and a lead terminal electrically connected to the terminal pad of a substrate at this housing.

[Claim 8] The integrated circuit device according to claim 7 which pulled out at least one for every TAB package after the terminal electrically connected to the TAB package outer lead, and has shifted and arranged the location.

[Claim 9] The integrated circuit device according to claim 7 which it comes to put while rotating so that the specific terminal of the lead terminal prepared in the housing may not be arranged in the same location.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the integrated circuit device which constituted the internal-memory circuit used with digital computers, such as a workstation and a personal computer, from memory IC of monolithic structure, a substrate which mounts it, and a leadframe terminal.

[0002]

[Description of the Prior Art] Conventionally, that to which this kind of internal-memory circuit carried out soldering mounting of the memory IC at the printed circuit board is used.

[0003] Hereafter, the conventional internal-memory circuit used with a digital computer is explained, referring to a drawing.

[0004] Drawing 11 shows the circuit diagram of the conventional internal-memory circuit. In drawing 11, 11-1 to 11-4 is Memory IC, and 12 is an address bus. 13 is a data bus and memory IC 11-1 to 11-4 is IC of DRAM (dynamic random access memory) which needs storage maintenance actuation. In inputting a /RAS (row address strobe) signal and a /CAS (column-address strobe) signal into each memory IC He is trying to choose the memory IC to access, and if a /WE (write enable) signal is inputted and writing and a /OE (output enable) signal will be inputted for data, he is trying for the access to read data.

[0005] Drawing 12 shows the perspective view which carried out soldering mounting of the memory IC for the conventional internal-memory circuit shown in drawing 11 at the printed circuit board.

[0006] In drawing 12, 14 is a printed circuit board and a printed circuit board 14 is a copper-clad laminate of four layers which mainly carried out wiring of the signal wiring, such as an address bus 12 and a data bus 13, for front flesh-side both sides of the base material which infiltrated the glass cloth into the epoxy resin, and its base material, and interpolated respectively wiring of power-source Rhine and touch-down Rhine. Memory IC is die bonding and the package which carried out wire bonding and which was closed with the resin ingredient about the raise in basic wages IC chip of monolithic structure at the leadframe, and electrical installation is possible the outside of closure resin with the lead terminal of said leadframe.

[0007] Soldering connects with the signal wiring of the front face of a printed circuit board 14, and the lead terminal of memory IC 11-1 to 11-4 constitutes the internal-memory circuit.

[0008]

[Problem(s) to be Solved by the Invention] As one of the approaches of gathering the processing speed which is the fundamentality ability of a digital computer, while making the clock frequency of a system into a high speed, there is the approach of using storage capacity of an internal-memory circuit as large capacity.

[0009] Hereafter, how to use storage capacity as large capacity by drawing 12 is explained. In order to use storage capacity of an internal-memory circuit as large capacity, memory IC 11-1 to 11-4 of a large number according to storage capacity must be mounted in a printed circuit board 14. If flat-surface mounting of the memory IC 11-1 to 11-4 is carried out at the printed circuit board 14 which is performed from the former in that case, the wire length to the termination of wiring will become long, and the following troubles will arise.

(1) Since a wiring impedance will become large and the propagation property of a signal will deteriorate if a wire length becomes long, high-speed processing becomes difficult.

(2) When a wire length becomes long, reflection of a signal takes place at the termination of wiring, and

make a signal wave form while spreading wiring transform.

[0010] The signal wave form where it is inputted into the memory IC 11-4 mounted in the termination of wiring by the effect of reflective of the signal which happens at the termination of wiring. In the signal wave form where it is inputted into the memory IC 11-1 mounted near the start edge The signal wave form where it is inputted into memory IC 11-1 deforms by reflection by the mismatching of the impedance of wiring termination, since the timing of access of memory IC 11-1 and memory IC 11-4 differs, a large timing margin is needed, and high-speed processing becomes impossible.

(3) Since the printed circuit board using the copper-clad laminate of four layers is expensive while the area of a printed circuit board becomes large, in order to use storage capacity as large capacity and to carry out flat-surface mounting of much memory IC 11 at a printed circuit board 14, if the storage capacity of a digital computer is raised, enlargement of equipment and the rise of cost will be caused.

[0011] Since such a technical problem occurred, it was difficult to gather the processing speed of a digital computer.

[0012] This invention solves such a technical problem and it aims at raising processing speed.

[0013]

[Means for Solving the Problem] The outer lead pad connected electrically [ this invention has the bare chip of Memory IC on a tape carrier package, arranges it in the core side of the substrate of the TAB package equipped with the outer lead electrically connected with this bare chip at one of the tape carrier packages, the substrate of a square shape configuration, the terminal pad arranged in the front face of the edge neighborhood of this substrate, and this terminal pad, and ] in order to solve such a technical problem is constituted.

[0014]

[Function] By mounting the module many hierarchized by this configuration in a printed circuit board, the wire length of a printed circuit board can be shortened by forming memory IC into three-dimension mounting from flat-surface mounting, and deformation of a signal wave form while spreading wiring can be pressed down to the minimum.

[0015]

[Example] Hereafter, one example of this invention is explained with reference to a drawing.

[0016] Drawing 1 is an assembly perspective view by the side of the front face of the integrated-circuit substrate which mounted the bare chip in one example of this invention in the tape carrier package. In drawing 1 , 2 is a TAB package, had bare chip 2a of Memory IC on abbreviation rectangle-like tape carrier package 2b, and equips one of the long side sides of tape carrier package 2b with outer lead 2c. Here, bare chip 2a and outer lead 2c of the TAB package 2 are electrically connected by the inner lead (not shown) formed in tape carrier package 2b.

[0017] 1 is a substrate for the integrated circuits of an abbreviation square shape configuration (it is hereafter described as an "integrated-circuit substrate"), and is outer lead pad 1c which arranges respectively inside the integrated-circuit substrate 1, and connects electrically outer lead 2c of the TAB package 2 from terminal pad 1b and this terminal pad 1b for external connection of the shape of a strip of paper arranged in parallel with the front face of the integrated-circuit substrate edge neighborhood of four sides of this integrated-circuit substrate 1. Here, terminal pad 1b and outer lead pad 1c which were arranged in parallel on the integrated-circuit substrate 1 are alternatively connected by the circuit pattern (not shown) attached to the integrated-circuit substrate 1. Each TAB package 2 prepared on the integrated-circuit substrate 1 carries out the direction of an edge of the integrated-circuit substrate 1, and bare chip 2a in the direction of the inside of the integrated-circuit substrate 1 for outer lead 2c, and makes mounting connection of outer lead 2c of the TAB package 2, and the outer lead pad 1c respectively. In that case, this and two TAB packages 2 which counter each TAB package 2 and make mounting connection cross at right angles, are repeated after other two TAB packages 2 which make mounting connection, and are making mounting connection.

[0018] Drawing 2 is the perspective view which mounted the surface mounting mold capacitor in the

front face of the integrated-circuit substrate which mounted the bare chip of drawing 1 in the tape carrier package. In drawing 2, 3 is the capacitor (it is hereafter described as a "chip capacitor".) of a surface mounting mold, and is carried out for [ , such as a ripple of the power source which mounts respectively in between outer lead pad 1c (i.e., the empty field of the TAB package 2), and is supplied to a chip on the integrated-circuit substrate 1, and a surge, ] noise reduction.

[0019] Drawing 3 is an assembly perspective view by the side of the rear face of the integrated-circuit substrate which mounted the bare chip in one example of this invention in the tape carrier package. In drawing 3, 2 is a TAB package, had bare chip 2a of Memory IC on abbreviation rectangle-like tape carrier package 2b, and equips one side by the side of the long side of tape carrier package 2b with outer lead 2c. Here, bare chip 2a and outer lead 2c of the TAB package 2 are electrically connected by the inner lead (not shown) formed in tape carrier package 2b. 1 is the integrated-circuit substrate of an abbreviation 4 square-shape configuration, and is outer lead pad 1c which arranges in the integrated-circuit substrate inside respectively, and is electrically connected with outer lead 2c of the TAB package 2 from terminal pad 1b and this terminal pad 1b for external connection of the shape of a strip of paper which carried out parallel arrangement on the front face of the integrated-circuit substrate edge neighborhood of four sides of this integrated-circuit substrate 1. Here, terminal pad 1b and outer lead pad 1c which were arranged in parallel on the integrated-circuit substrate 1 are alternatively connected by the circuit pattern (not shown) attached to the integrated-circuit substrate 1. Each TAB package 2 prepared on the integrated-circuit substrate 1 carries out the direction of an edge of the integrated-circuit substrate 1, and bare chip 2a in the direction of the inside of the integrated-circuit substrate 1 for outer lead 2c, and makes mounting connection of outer lead 2c of the TAB package 2, and the outer lead pad 1c respectively. In that case, this and two TAB packages 2 which counter each TAB package 2 and make mounting connection cross at right angles, are repeated after other two TAB packages 2 which make mounting connection, and are making mounting connection.

[0020] Drawing 4 is the perspective view which mounted the chip capacitor in the rear face of the integrated-circuit substrate which mounted the bare chip of drawing 3 in the tape carrier package. In drawing 4, 3 is a chip capacitor and is mounted in the empty field of the TAB package 2 mounted on the substrate 1.

[0021] As mentioned above, it is realizable with a small substrate to a substrate dimension becoming large according to it, if the bare chip area of Memory IC becomes [ conventional wirebonding mounting and face down mounting ] large by putting while countering the integrated-circuit substrate 1 in the TAB package 2, and making mounting connection and intersecting perpendicularly with this TAB package 2 countered and mounted, and making mounting connection of other TAB package 2.

[0022] In addition, in this example, although the square example explained, effectiveness with the same said of forward n square shape of  $n \geq 3$  is acquired.

[0023] Moreover, the empty field of the TAB package 2 becomes large, and the one shorter than one half of the distance of outer lead 2c which prepared bare chip 2a of the TAB package 2 on the integrated-circuit substrate 1 and which faces becomes easy to mount a chip capacitor 3.

[0024] Drawing 5 is the perspective view of the integrated circuit device using the integrated-circuit substrate 1 explained by drawing 1 - drawing 4. In drawing 5, 4 is a leadframe, it has structure which supported the lead terminal 5 and the lead terminal 5 by the housing 6, connects the lead terminal 5 of a leadframe 4 to terminal pad 1b of the integrated-circuit substrate 1, and constitutes the module of an integrated circuit device possible [ the integrated-circuit substrate 1 and external connection ].

[0025] In drawing 5, the TAB package 2 of Memory IC mounts four TAB packages 2 in the front face and rear face of substrate 1a respectively, and the TAB package 2 of two memory IC per one of the terminal train of four sides of the lead terminal 5 supported by the leadframe 4 is connected through outer lead pad 1c.

[0026] Although the chip capacitor 3 of the surface mounting mold for surge voltage absorption mounts one about the TAB package of two memory IC and mounts the chip capacitor of two surface mounting

molds in the front face and rear face of the integrated-circuit substrate 1 respectively in this example Even if it mounts one about the TAB package 2 of one memory IC and mounts the chip capacitor of four surface mounting molds in the front face and rear face of substrate 1a respectively Even if it mounts one about the TAB package 2 of four memory IC and mounts one chip capacitor 3 in the front face and rear face of substrate 1a respectively One may be mounted about the TAB package of eight memory IC, and the chip capacitor of one surface mounting mold may be mounted in either the front face of substrate 1a, or a rear face.

[0027] Drawing 6 (a) – (d) is the circuit diagram of the front face of the integrated circuit device shown in drawing 5 , and a rear face. Drawing 6 (a) In – (d), memory IC2-1-a and memory IC2-1-b are connected to the terminal train 5-1. Memory IC2-2-a and memory IC2-2-b are connected to the terminal train 5-2. Memory IC2-3-a and memory IC2-3-b are connected to the terminal train 5-3. Memory IC2-4-a and memory IC2-4-b are connected to the terminal train 5-1. Memory IC2-1-a, memory IC2-2-a, memory IC2-3-a, and memory IC2-4-a are mounted in the front face of substrate 1a. Memory IC2-1-b, memory IC2-2-b, memory IC2-3-b, and memory IC2-4-b are mounted in the rear face of substrate 1a.

[0028] The terminal array of this terminal train 5-1 to 5-4 A power supply terminal, an earth terminal, address bus terminal-block 5-1A – 5-4A, It is arranged without all of the terminal train of four sides overlapping about the terminal of a /RAS signal, and the terminal of a /CAS signal, although it is the same about terminal-block 5-1E – 5-4E of two data terminal-block 5-1D1 – 5-4D1, 5-1D2 – 5-4D2, a /WE signal, and a /OE signal.

[0029] Namely, terminal arrangement of the /RAS signal of the terminal train 5-1 and a /CAS signal is non connection in the terminal train 5-2, 5-3, and 5-4. Terminal arrangement of the /RAS signal of the terminal train 5-2 and a /CAS signal is non connection in the terminal train 5-1, 5-3, and 5-4. Terminal arrangement of the /RAS signal of the terminal train 5-3 and a /CAS signal is non connection in the terminal train 5-1, 5-2, and 5-4, and terminal arrangement of the /RAS signal of the terminal train 5-4 and a /CAS signal is non connection in the terminal train 5-1, 5-2, and 5-3. 5-1D1 – 5-4D1 are the data terminal blocks of the memory IC mounted in the front face of substrate 1a. Although 5-1D2 – 5-4D2 are the data terminal blocks of the memory IC mounted in the rear face of substrate 1a and are the same about terminal-block 5-1E – 5-4E of a power supply terminal, an earth terminal, address bus terminal-block 5-1A – 5-4A, a /WE signal, and a /OE signal About the terminal of a /RAS signal, and the terminal of a /CAS signal, it connects with two memory IC mounted in front flesh-side both sides of substrate 1a in common.

[0030] Thus, the constituted module can access the data of 8-bit width of face from each terminal train, if the data width of face of for example, the memory IC is 4 bits.

[0031] The explanatory view of the terminal array at the time of connecting a module 7 to drawing 7 (a) and (b) at many hierarchization is shown.

[0032] In drawing 7 (a), a module 7-1, 7-2, 7-3, and 7-4 are the modules of the same structure. The terminal train 5-1-1, the terminal train 5-1-2, the terminal train 5-1-3, and the terminal train 5-1-4 are the same terminal arrays. The terminal train 5-2-1, the terminal train 5-2-2, the terminal train 5-2-3, and the terminal train 5-2-4 are the same terminal arrays. The terminal train 5-3-1, the terminal train 5-3-2, the terminal train 5-3-3, and the terminal train 5-3-4 are the same terminal arrays, and the terminal train 5-4-1, the terminal train 5-4-2, the terminal train 5-4-3, and the terminal train 5-4-4 are the same terminal arrays.

[0033] Face multilayering a module and each module is rotated by a unit of 90 degrees. As shown in drawing 1 (b), the terminal train 5-1-1, the terminal train 5-2-4, the terminal train 5-3-3, and the terminal train 5-4-2 are piled up. The terminal train 5-1-2, the terminal train 5-2-1, the terminal train 5-3-4, and the terminal train 5-4-3 are piled up. The terminal train 5-1-3, the terminal train 5-2-2, the terminal train 5-3-1, and the terminal train 5-4-4 were piled up, and the terminal train 5-1-4, the terminal train 5-2-3, the terminal train 5-3-2, and the terminal train 5-4-1 are multilayered in piles.

[0034] The power supply terminal of each module which this multilayered, an earth terminal, address bus terminal-block 5-1A - 5-4A, Data bus terminal-block 5-1D1 - 5-4D1, 5-1D2 - 5-4D2, a /WE signal, Common connection of the terminal-block 5-1E - 5-4E of a /OE signal is made, and it is connected, without overlapping all of the memory IC mounted in four modules about the terminal of a /RAS signal, and the terminal of a /CAS signal.

[0035] The sectional view of the leadframe of the many hierarchized module which carries out a laminating to drawing 8 , and the module by which a laminating is carried out is shown.

[0036] drawing 8 -- setting -- 7-1, 7-2, 7-3, and .. 7-n being a many hierarchized module which carries out a laminating, and the configuration of the lead terminal 5 supported by the housing 6 with the lead terminal 5-1 of the module 7-1 by which a laminating is carried out the multilayered module 7-2 which carries out a laminating, 7-3, and .. the lead terminal 5-2 of 7-n, 5-3, and .. 5-n -- differing -- a lead terminal 5-2, 5-3, and .. the cross-section configuration of 5-n is the typeface of KO, and in case it carries out the laminating of the module, it carries out lower layer module and electrical installation.

[0037] The power supply terminal of each multilayered module as shown in drawing 7 for such structure, An earth terminal, address bus terminal-block 5-1A - 5-4A, data bus terminal-block 5-1D1 - 5-4D1, 5-1D2 - 5-4D2, a /WE signal, Common connection of the terminal-block 5-1E - 5-4E of a /OE signal is made, and it can connect, without overlapping all of the memory IC mounted in four modules about the terminal of a /RAS signal, and the terminal of a /CAS signal.

[0038] Thus, though the constituted multi-hierarchization memory module is equivalent to the circuit diagram of the conventional internal memorandum \*\*-circuit shown in drawing 12 , since the wire length to termination can be shortened, a wiring impedance is small and an internal memorandum \*\*-circuit without degradation of the propagation property of a signal can be constituted.

[0039] The circuit diagram of a resistance module is shown in drawing 9 . Drawing 9 R> 9 (a) Address bus terminal-block 5-1A - 5-4A of a memory module, Data bus terminal-block 5-1D1 - 5-4D1, 5-1D2 - 5-4D2, a /WE signal, It is the circuit diagram of the resistance module which connects respectively a pull-up resistor R1 and a pull down resistor R2 to the terminal of terminal-block 5-1E - 5-4E of a /OE signal, and a /RAS signal, and the terminal block 50 of a /CAS signal between a power supply terminal and an earth terminal. Drawing 9 (b) is the circuit diagram of the resistance module which connects a pull-up resistor R1 to a terminal block 50 between power supply terminals, and drawing 9 (c) is the circuit diagram of the resistance module which connects a pull down resistor R2 to a terminal block 50 between earth terminals.

[0040] By carrying out the laminating of the resistance module which mounted these resistance of two or more in the substrate to the maximum upper layer of a multi-hierarchization memory module further, and arranging it, since a terminator can be constituted to the termination of wiring, reflection of a signal can be lost, a time margin can be set up small, and the processing speed of a digital computer can be accelerated more.

[0041] The explanatory view of a terminal array which connects to many hierarchization the module which extended the bus line to drawing 10 is shown.

[0042] The module 7-1 which constitutes the multi-hierarchy module 7, 7-2, 7-3, and 7-4 are the modules of the same structure. The terminal train 5-1-1 of each module, the terminal train 5-2-1, the terminal train 5-3-1, and the terminal train 5-4-1 are the same terminal arrays. It is the same terminal array with same terminal train 5-1-2, terminal train 5-2-2, terminal train 5-3-2, and terminal train 5-4-2. It is the same terminal array with same terminal train 5-1-3, terminal train 5-2-3, terminal train 5-3-3, and terminal train 5-4-3, and is the same terminal array with same terminal train 5-1-4, terminal train 5-2-4, terminal train 5-3-4, and terminal train 5-4-4.

[0043] The terminal array of the terminal train 5-n-1 to 5-n-4 of module 7-n (n is 1-4) Although it is the same about terminal-block 5-n-1E - 5-n-4E of data bus terminal-block 5-n-1D1 - power supply terminal, earth terminal, address bus terminal-block 5-n-1A - 5-n-4A, and 5-n-4D2, a /WE signal, and a /OE signal It is arranged without all of the terminal train of four sides overlapping about the terminal of a

/RAS signal, and the terminal of a /CAS signal.

[0044] Namely, the terminal location of the /RAS signal of the terminal train 5-n-1 and a /CAS signal is non connection (NC) in the terminal train 5-n-2, 5-n-3, and 5-n-4. The terminal location of the /RAS signal of the terminal train 5-n-2 and a /CAS signal is non connection (NC) in the terminal train 5-n-1, 5-n-3, and 5-n-4. The terminal location of the /RAS signal of the terminal train 5-n-3 and a /CAS signal is non connection (NC) in the terminal train 5-n-1, 5-n-2, and 5-n-4. The terminal location of the /RAS signal of the terminal train 5-n-4 and a /CAS signal is non connection (NC) in the terminal train 5-n-1, 5-n-2, and 5-n-3.

[0045]

[Effect of the Invention] Since an internal-memory circuit can be constituted from a short wire length as mentioned above according to this invention, deformation of a signal wave form while spreading wiring can be pressed down to the minimum.

[0046] Moreover, since reflection of the signal by the mismatching of the impedance of wiring termination is lost by making laminating connection of the resistance module to a multi-hierarchization memory module, the processing speed which is the fundamentality ability of a digital computer can be gathered.

[0047] Furthermore, it can mount in small substrate size and the integrated circuit device of small and high density can consist of integrated circuit devices which a memory IC chip is large and are performed by mounting by face down bonding, and the die bonding and wire bonding using a bump.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The assembly perspective view by the side of the front face of the integrated-circuit substrate which mounted the bare chip of the integrated circuit device in one example of this invention in the tape carrier package

[Drawing 2] The perspective view which mounted the chip capacitor in the front-face side of the integrated-circuit substrate which mounted the bare chip of this integrated circuit device in the tape carrier package

[Drawing 3] The assembly perspective view by the side of the front face of the integrated-circuit substrate which mounted the bare chip of this integrated circuit device in the tape carrier package

[Drawing 4] The perspective view which mounted the chip capacitor in the rear-face side of the integrated-circuit substrate which mounted the bare chip of this integrated circuit device in the tape carrier package

[Drawing 5] The perspective view of this integrated circuit device

[Drawing 6] The circuit diagram of this integrated circuit device



[Drawing 7] The explanatory view of the terminal array of this integrated circuit device

[Drawing 8] The sectional view of the leadframe of the important section of this integrated circuit device

[Drawing 9] The circuit diagram of this resistance module

[Drawing 10] The explanatory view of a terminal array which connects to many hierarchization the module which extended this bus line

[Drawing 11] The circuit diagram of the conventional internal memory

[Drawing 12] Drawing showing the condition of having carried out soldering mounting of the memory IC, and having constituted this internal-memory circuit in the printed circuit board

[Description of Notations]

1 Integrated-Circuit Substrate

1b Terminal pad

1c Outer lead pad

2 TAB Package

2a Bare chip

2b Tape carrier package

2c Outer lead

3 Chip Capacitor

4 Leadframe

5 Lead Terminal

6 Housing

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142673

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 25/04  
25/18

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/ 04

Z

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21) 出願番号 特願平5-284801

(22) 出願日 平成5年(1993)11月15日

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 松永 速

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 岩田 雅男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 末廣 芳和

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 小鍛治 明 (外2名)

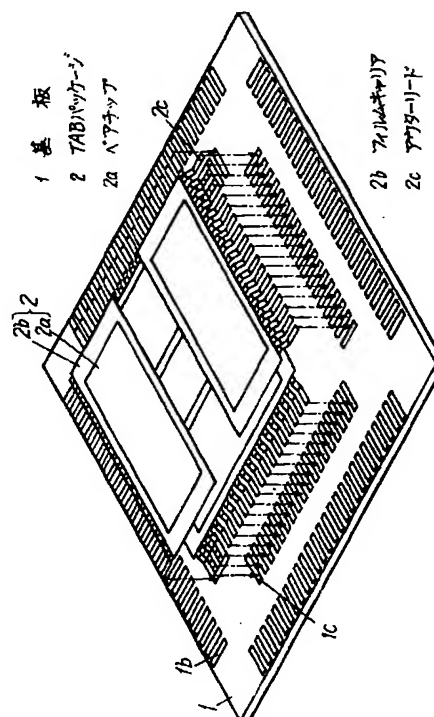
最終頁に続く

(54) 【発明の名称】 集積回路装置

(57) 【要約】

【目的】 デジタルコンピュータの処理速度の高速化と、内部メモリーの大容量化に対応できる集積回路装置を提供する。

【構成】 フィルムキャリア2b上にメモリーICのベアチップ2aを有し、かつ、このフィルムキャリア2bのどちらか一方にアウターリード2cを備え、正方形形状の集積回路基板上に設けたアウターリードパッド1cに電気的に接続する。また、この集積回路基板1は、そのエッジ近辺に端子パッド1bが設けられている。この構成により、処理速度の高速化と、内部メモリーの大容量化に対応できる。



(2)

1

## 【特許請求の範囲】

【請求項1】 フィルムキャリア上にメモリICのベアチップを有しかつ前記フィルムキャリアのどちらか一方に前記ベアチップと電氣的に接続されたアウターリードとを備えたTABパッケージと、角型形状の基板と、この基板のエッジ近辺の表面に配設した端子パッドと、この端子パッドの前記基板実装面の中心側に配設しかつ前記TABパッケージの前記アウターリードとを電氣的に接続したアウターリードパッドからなる集積回路装置。

【請求項2】 基板上のアウターリードパッドの対向する位置に電氣的に接続したTABパッケージのアウターリードと、前記アウターリードパッドと直交するアウターリードパッドに前記TABパッケージに積み重ねて他のTABパッケージのアウターリードを電氣的に接続してなる請求項1記載の集積回路装置。

【請求項3】 基板の両面に端子パッドとアウターリードパッドとを備え、前記アウターリードパッドに各々TABパッケージのアウターリードを接続してなる請求項1記載の集積回路装置。

【請求項4】 基板は正 $n$ 角形( $n \geq 3$ )である請求項1記載の集積回路装置。

【請求項5】 TABパッケージのベアチップは、基板上に設けた相対するアウターリードパッドの距離の $1/2$ よりも短い長さである請求項1記載の集積回路装置。

【請求項6】 基板上に設けた各々のアウターリードパッド間に面実装型コンデンサを設けてなる請求項1記載の集積回路装置。

【請求項7】 基板を支持する支持枠と、この支持枠に基板の端子パッドに電氣的に接続するリード端子とからなる請求項1記載の集積回路装置。

【請求項8】 TABパッケージアウターリードに電氣的に接続された端子のち少なくとも1つを各TABパッケージ毎に引き出し位置をずらして配置した請求項7記載の集積回路装置。

【請求項9】 支持枠に設けられたリード端子の特定の端子が同一位置に配置されないように回転するとともに積み重ねてなる請求項7記載の集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、例えばワークステーション、パーソナルコンピュータなどのデジタルコンピュータで用いる内部メモリ回路を、モノリシック構造のメモリICと、それを実装する基板とリードフレーム端子とで構成した集積回路装置に関するものである。

## 【0002】

【従来の技術】従来、この種の内部メモリ回路はプリント基板にメモリICを半田付け実装したものが使われる。

【0003】以下、図面を参照しながらデジタルコン

2

ピュータで用いる従来の内部メモリ回路について説明する。

【0004】図11は、従来の内部メモリ回路の回路図を示すものである。図11において、11-1~11-4はメモリICであり、12はアドレスバスであり、13はデータバスであり、メモリIC11-1~11-4は記憶保持動作が必要なDRAM(ダイナミック・ランダム・アクセス・メモリ)のICであり、/RAS(ロウ・アドレス・ストロブ)信号と/CAS

(10) (カラム・アドレス・ストロブ)信号を各々のメモリICに入力することで、アクセスするメモリICを選択するようにしており、そのアクセスは/WE(ライト・イネーブル)信号を入力するとデータを書込み、/OE(アウトプット・イネーブル)信号を入力するとデータを読み出す様にしている。

【0005】図12は、図11に示した従来の内部メモリ回路をプリント基板にメモリICを半田付け実装した斜視図を示すものである。

【0006】図12において、14はプリント基板であり、プリント基板14はガラス織布をエポキシ樹脂に含浸させた基材と、その基材の表裏両面をアドレスバス12やデータバス13などの信号配線を主に布線し、電源ラインと接地ラインの配線を各々内挿した4層の銅張り積層板である。メモリICはモノリシック構造のベアICチップをリードフレームにダイボンディングおよびワイヤーボンディングし、樹脂材料で封止したパッケージになっており、前記リードフレームのリード端子によって封止樹脂の外と電氣的接続が可能になっている。

【0007】メモリIC11-1~11-4のリード端子は、プリント基板14の表面の信号配線に半田付けによって接続され、内部メモリ回路を構成している。

## 【0008】

【発明が解決しようとする課題】デジタルコンピュータの基本性能である処理速度を上げる方法の一つとして、システムのクロック周波数を高速にするとともに、内部メモリ回路の記憶容量を大容量にする方法がある。

【0009】以下、図12によって記憶容量を大容量にする方法について説明する。内部メモリ回路の記憶容量を大容量にするためには、記憶容量に応じた多数のメモリIC11-1~11-4をプリント基板14に実装しなければならない。その際、従来から行われているようなプリント基板14にメモリIC11-1~11-4を平面実装すると、配線の終端までの配線長が長くなり、以下のような問題点が生ずる。

(1) 配線長が長くなると配線インピーダンスが大きくなり、信号の伝搬特性が劣化するために高速処理が困難になる。

(2) 配線長が長くなると配線の終端で信号の反射が起こり、配線を伝搬中の信号波形を変形させる。

50

(3)

3

【0010】配線の終端で起こる信号の反射の影響によって、配線の終端に実装したメモリーIC11-4に入力される信号波形と、始端近辺に実装したメモリーIC11-1に入力される信号波形では、メモリーIC11-1に入力される信号波形が配線終端のインピーダンスの不整合による反射によって変形し、メモリーIC11-1とメモリーIC11-4のアクセスのタイミングが異なるため大幅なタイミングマージンが必要になり、高速処理ができなくなる。

(3) 記憶容量を大容量にするために多数のメモリーIC11をプリント基板14に平面実装するためにプリント基板の面積が広くなるとともに4層の銅張り積層板を用いたプリント基板は高価なため、デジタルコンピュータの記憶容量を上げると装置の大型化とコストの上昇を招く。

【0011】このような課題があるため、デジタルコンピュータの処理速度を上げることが困難であった。

【0012】本発明はこのような課題を解決するもので、処理速度を向上させることを目的とするものである。

【0013】

【課題を解決するための手段】このような課題を解決するために本発明は、フィルムキャリア上にメモリーICのベアチップを有し、かつフィルムキャリアのどちらか一方にこのベアチップと電氣的に接続されたアウターリードとを備えたTABパッケージと、角型形状の基板と、この基板のエッジ近辺の表面に配設した端子パッドと、この端子パッドの基板の中心側に配設しかつ電氣的に接続したアウターリードパッドを構成したものである。

【0014】

【作用】この構成により多階層化したモジュールをプリント基板に実装することで、メモリーICを平面実装から3次元実装化することでプリント基板の配線長を短くでき、配線を伝搬中の信号波形の変形を最小限に押さえられるものである。

【0015】

【実施例】以下、本発明の一実施例について図面を参照して説明する。

【0016】図1は本発明の一実施例におけるベアチップをフィルムキャリアに実装した集積回路基板の表面側の組み立て斜視図である。図1において、2はTABパッケージで、略長形状フィルムキャリア2b上にメモリーICのベアチップ2aを有し、かつフィルムキャリア2bの長辺側のどちらか一方にアウターリード2cを備えている。ここで、TABパッケージ2のベアチップ2aとアウターリード2cとは、フィルムキャリア2bに形成したインナーリード（図示せず）により、電氣的に接続されている。

【0017】1は略角型形状の集積回路用の基板（以

4

下、「集積回路基板」と記す。）で、この集積回路基板1の4辺の集積回路基板エッジ近辺の表面に平行に配設した短冊状の外部接続用の端子パッド1bと、この端子パッド1bより集積回路基板1の内側に各々配設したTABパッケージ2のアウターリード2cとを電氣的に接続するアウターリードパッド1cである。ここで、集積回路基板1上に平行に配設した端子パッド1bとアウターリードパッド1cは、集積回路基板1に付設した配線パターン（図示せず）により選択的に接続されている。集積回路基板1上に設けられた各々のTABパッケージ2は、アウターリード2cを集積回路基板1のエッジ方向とベアチップ2aを集積回路基板1の内側方向にして、TABパッケージ2のアウターリード2cとアウターリードパッド1cを各々実装接続する。その際、各々のTABパッケージ2に対向して実装接続する2つのTABパッケージ2は、これに直交して実装接続する他の2つのTABパッケージ2の上に積み重ねて実装接続している。

【0018】図2は、図1のベアチップをフィルムキャリアに実装した集積回路基板の表面に面実装型コンデンサを実装した斜視図である。図2において、3は面実装型のコンデンサ（以下、「チップコンデンサ」と記す。）で、集積回路基板1上の各々アウターリードパッド1c間に、つまり、TABパッケージ2の空領域に実装し、チップに供給される電源のリップル、サージ等のノイズ低減のためにする。

【0019】図3は本発明の一実施例におけるベアチップをフィルムキャリアに実装した集積回路基板の裏面側の組み立て斜視図である。図3において、2はTABパッケージで、略長形状フィルムキャリア2b上にメモリーICのベアチップ2aを有し、フィルムキャリア2bの長辺側の一方にアウターリード2cを備えている。ここで、TABパッケージ2のベアチップ2aとアウターリード2cとは、フィルムキャリア2bに形成したインナーリード（図示せず）により、電氣的に接続されている。1は略4角形状の集積回路基板で、この集積回路基板1の4辺の集積回路基板エッジ近辺の表面に平行に配設した短冊状の外部接続用の端子パッド1bと、この端子パッド1bより集積回路基板内側に各々配設したTABパッケージ2のアウターリード2cと電氣的に接続するアウターリードパッド1cである。ここで、集積回路基板1上に平行に配設した端子パッド1bとアウターリードパッド1cは、集積回路基板1に付設した配線パターン（図示せず）により選択的に接続されている。集積回路基板1上に設けられた各々のTABパッケージ2は、アウターリード2cを集積回路基板1のエッジ方向とベアチップ2aを集積回路基板1の内側方向にして、TABパッケージ2のアウターリード2cとアウターリードパッド1cを各々実装接続する。その際、各々のTABパッケージ2に対向して実装接続する2つのTAB

(4)

5

パッケージ2は、これに直交して実装接続する他の2つのTABパッケージ2の上に積み重ねて実装接続している。

【0020】図4は、図3のベアチップをフィルムキャリアに実装した集積回路基板の裏面にチップコンデンサを実装した斜視図である。図4において、3はチップコンデンサで、基板1上の実装したTABパッケージ2の空領域に実装する。

【0021】以上のように、TABパッケージ2を集積回路基板1に対向して実装接続し、かつ、この対向して実装したTABパッケージ2に直交するとともに積み重ねて他のTABパッケージ2を実装接続することにより、従来のワイヤボンディング実装や、フェースダウン実装がメモリーICのベアチップ面積が大きくなるとそれに伴って基板寸法も大きくなるのに対して、小さい基板で実現することができる。

【0022】なお、本実施例では、正方形の例で説明したが、 $n \geq 3$ の正 $n$ 角形でも同様の効果が得られる。

【0023】また、TABパッケージ2のベアチップ2aは、集積回路基板1上に設けた相対するアウターリード2cの距離の $1/2$ よりも短い方がTABパッケージ2の空領域が広くなり、チップコンデンサ3を実装しやすくなる。

【0024】図5は、図1～図4で説明した集積回路基板1を使った集積回路装置の斜視図である。図5において、4はリードフレームであり、リード端子5とリード端子5を支持枠6で支持した構造になっており、集積回路基板1の端子パッド1bにリードフレーム4のリード端子5を接続して、集積回路基板1と外部接続可能に集積回路装置のモジュールを構成している。

【0025】図5において、メモリーICのTABパッケージ2は基板1aの表面と裏面に各々4つのTABパッケージ2を実装しており、リードフレーム4に支持されるリード端子5の4辺の端子列の1つにつき2つのメモリーICのTABパッケージ2がアウターリードパッド1cを介して接続されている。

【0026】サージ電圧吸収用の面実装型のチップコンデンサ3は、本実施例では2つのメモリーICのTABパッケージ2について1つ実装し、集積回路基板1の表面と裏面に各々2つの面実装型のチップコンデンサを実装しているが、1つのメモリーICのTABパッケージ2について1つ実装し、基板1aの表面と裏面に各々4つの面実装型のチップコンデンサを実装しても、4つのメモリーICのTABパッケージ2について1つ実装し、基板1aの表面と裏面に各々1つのチップコンデンサ3を実装しても、8つのメモリーICのTABパッケージ2について1つ実装し基板1aの表面または裏面のどちらかに1つの面実装型のチップコンデンサを実装してもよい。

【0027】図6(a)～(d)は図5に示した集積回

6

路装置の表面、裏面の回路図である。図6(a)～

(d)において、メモリーIC2-1-aとメモリーIC2-1-bは端子列5-1に接続され、メモリーIC2-2-aとメモリーIC2-2-bは端子列5-2に接続され、メモリーIC2-3-aとメモリーIC2-3-bは端子列5-3に接続され、メモリーIC2-4-aとメモリーIC2-4-bは端子列5-1に接続され、メモリーIC2-1-aとメモリーIC2-2-aとメモリーIC2-3-aとメモリーIC2-4-aは基板1aの表面に実装され、メモリーIC2-1-bとメモリーIC2-2-bとメモリーIC2-3-bとメモリーIC2-4-bは基板1aの裏面に実装されている。

【0028】この端子列5-1～5-4の端子配列は、電源端子、接地端子、アドレスバス端子群5-1A～5-4A、2つのデータ端子群5-1D1～5-4D1、5-1D2～5-4D2、/WE信号、/OE信号の端子群5-1E～5-4Eについては同じであるが/RAS信号の端子、/CAS信号の端子については4辺の端子列の何れも重複することなく配置されている。

【0029】すなわち、端子列5-1の/RAS信号および/CAS信号の端子配置は端子列5-2、5-3、5-4においてはノンコネクタであり、端子列5-2の/RAS信号および/CAS信号の端子配置は端子列5-1、5-3、5-4においてはノンコネクタであり、端子列5-3の/RAS信号および/CAS信号の端子配置は端子列5-1、5-2、5-4においてはノンコネクタであり、端子列5-4の/RAS信号および/CAS信号の端子配置は端子列5-1、5-2、5-3においてはノンコネクタである。5-1D1～5-4D1は基板1aの表面に実装したメモリーICのデータ端子群であり、5-1D2～5-4D2は基板1aの裏面に実装したメモリーICのデータ端子群であり、電源端子、接地端子、アドレスバス端子群5-1A～5-4A、/WE信号、/OE信号の端子群5-1E～5-4Eについては同じであるが、/RAS信号の端子、/CAS信号の端子については基板1aの表裏両面に実装した2つのメモリーICに共通に接続されている。

【0030】このように構成したモジュールは例えばメモリーICのデータ幅が4bitであれば各端子列から8bit幅のデータをアクセスできる。

【0031】図7(a)、(b)にモジュール7を多階層化に接続する際の端子配列の説明図を示す。

【0032】図7(a)において、モジュール7-1、7-2、7-3、7-4は同一構造のモジュールであり、端子列5-1-1、端子列5-1-2、端子列5-1-3、端子列5-1-4は同じ端子配列であり、端子列5-2-1、端子列5-2-2、端子列5-2-3、端子列5-2-4は同じ端子配列であり、端子列5-3-1、端子列5-3-2、端子列5-3-3、端子列5

50

(5)

7

−3−4は同じ端子配列であり、端子列5−4−1、端子列5−4−2、端子列5−4−3、端子列5−4−4は同じ端子配列である。

【0033】モジュールを多層化するに際し、各モジュールを90度ずつ回転させ、図1(b)に示すように端子列5−1−1、端子列5−2−4、端子列5−3−3、端子列5−4−2を重ね、端子列5−1−2、端子列5−2−1、端子列5−3−4、端子列5−4−3を重ね、端子列5−1−3、端子列5−2−2、端子列5−3−1、端子列5−4−4を重ね、端子列5−1−4、端子列5−2−3、端子列5−3−2、端子列5−4−1を重ねて多層化している。

【0034】これにより、多層化した各モジュールの電源端子、接地端子、アドレスバス端子群5−1A〜5−4A、データバス端子群5−1D1〜5−4D1、5−1D2〜5−4D2、／WE信号、／OE信号の端子群5−1E〜5−4Eは共通接続され、／RAS信号の端子、／CAS信号の端子については4つのモジュールに実装したメモリーICのいずれにも重複することなく接続される。

【0035】図8に積層して多層化するモジュールと積層されるモジュールのリードフレームの断面図を示す。

【0036】図8において、7−1、7−2、7−3、・・・7−nは積層して多層化するモジュールであり、支持枠6で支持するリード端子5の形状は積層されるモジュール7−1のリード端子5−1と、積層して多層化するモジュール7−2、7−3、・・・7−nのリード端子5−2、5−3、・・・5−nと異なり、リード端子5−2、5−3、・・・5−nの断面形状はコの字形になっており、モジュールを積層する際、下層のモジュールと電氣的接続をする。

【0037】このような構造のため、図7に示すような、多層化した各モジュールの電源端子、接地端子、アドレスバス端子群5−1A〜5−4A、データバス端子群5−1D1〜5−4D1、5−1D2〜5−4D2、／WE信号、／OE信号の端子群5−1E〜5−4Eが共通接続され、／RAS信号の端子、／CAS信号の端子については4つのモジュールに実装したメモリーICのいずれにも重複することなく接続することができる。

【0038】このようにして構成した多層化メモリーモジュールは図12に示した従来の内部メモリー回路の回路図と等価でありながら、終端までの配線長を短くすることができるので、配線インピーダンスが小さく、信号の伝搬特性の劣化の無い内部メモリー回路を構成できる。

【0039】図9に抵抗モジュールの回路図を示す。図9(a)は、メモリーモジュールのアドレスバス端子群5−1A〜5−4A、データバス端子群5−1D1〜5−4D1、5−1D2〜5−4D2、／WE信号、／O

8

E信号の端子群5−1E〜5−4E、／RAS信号の端子、／CAS信号の端子群50にプルアップ抵抗R1、プルダウン抵抗R2を各々電源端子と接地端子の間に接続する抵抗モジュールの回路図であり、図9(b)は、端子群50にプルアップ抵抗R1を電源端子の間に接続する抵抗モジュールの回路図であり、また図9(c)は、端子群50にプルダウン抵抗R2を接地端子の間に接続する抵抗モジュールの回路図である。

【0040】この複数個の抵抗を基板に実装した抵抗モジュールを多層化メモリーモジュールの最上層に、さらに積層して配置することで、配線の終端に終端抵抗を構成できるので、信号の反射がなくなり、タイムマージンを小さく設定でき、ディジタルコンピュータの処理速度をより高速化できる。

【0041】図10にバスラインを拡張したモジュールを多層化に接続する端子配列の説明図を示す。

【0042】多層化モジュール7を構成するモジュール7−1、7−2、7−3、7−4は同一構造のモジュールであり、各モジュールの端子列5−1−1、端子列5−2−1、端子列5−3−1、端子列5−4−1は同じ端子配列であり、同じく端子列5−1−2、端子列5−2−2、端子列5−3−2、端子列5−4−2は同じ端子配列であり、同じく端子列5−1−3、端子列5−2−3、端子列5−3−3、端子列5−4−3は同じ端子配列であり、同じく端子列5−1−4、端子列5−2−4、端子列5−3−4、端子列5−4−4は同じ端子配列である。

【0043】モジュール7−n(nは1〜4)の端子列5−n−1〜5−n−4の端子配列は、電源端子、接地端子、アドレスバス端子群5−n−1A〜5−n−4A、データバス端子群5−n−1D1〜5−n−4D2、／WE信号、／OE信号の端子群5−n−1E〜5−n−4Eについては同じであるが、／RAS信号の端子、／CAS信号の端子については4辺の端子列のいずれも重複することなく配置されている。

【0044】すなわち、端子列5−n−1の／RAS信号および／CAS信号の端子位置は端子列5−n−2、5−n−3、5−n−4においてはノンコネクタ(NC)であり、端子列5−n−2の／RAS信号および／CAS信号の端子位置は端子列5−n−1、5−n−3、5−n−4においてはノンコネクタ(NC)であり、端子列5−n−3の／RAS信号および／CAS信号の端子位置は端子列5−n−1、5−n−2、5−n−4においてはノンコネクタ(NC)であり、端子列5−n−4の／RAS信号および／CAS信号の端子位置は端子列5−n−1、5−n−2、5−n−3においてはノンコネクタ(NC)である。

【0045】

【発明の効果】以上のように本発明によれば、短い配線長で内部メモリー回路が構成できるため、配線を伝搬中

(6)

9

の信号波形の変形を最小限に押さえられることができる。

【0046】また、多階層化メモリーモジュールに抵抗モジュールを積層接続することにより、配線終端のインピーダンスの不整合による信号の反射がなくなるので、デジタルコンピュータの基本性能である処理速度を上げることができるものである。

【0047】さらに、メモリーICチップが大きくてパンプを使ったフェースダウン・ボンディングや、ダイボンディングとワイヤーボンディングによる実装で行う集積回路装置よりも小さい基板サイズで実装でき小型・高密度の集積回路装置が構成できる。

【図面の簡単な説明】

【図1】本発明の一実施例における集積回路装置のベアチップをフィルムキャリアに実装した集積回路基板の表面側の組み立て斜視図

【図2】同集積回路装置のベアチップをフィルムキャリアに実装した集積回路基板の表面側にチップコンデンサを実装した斜視図

【図3】同集積回路装置のベアチップをフィルムキャリアに実装した集積回路基板の表面側の組み立て斜視図

【図4】同集積回路装置のベアチップをフィルムキャリアに実装した集積回路基板の裏面側にチップコンデンサを実装した斜視図

10

【図5】同集積回路装置の斜視図

【図6】同集積回路装置の回路図

【図7】同集積回路装置の端子配列の説明図

【図8】同集積回路装置の要部のリードフレームの断面図

【図9】同抵抗モジュールの回路図

【図10】同バスラインを拡張したモジュールを多階層化に接続する端子配列の説明図

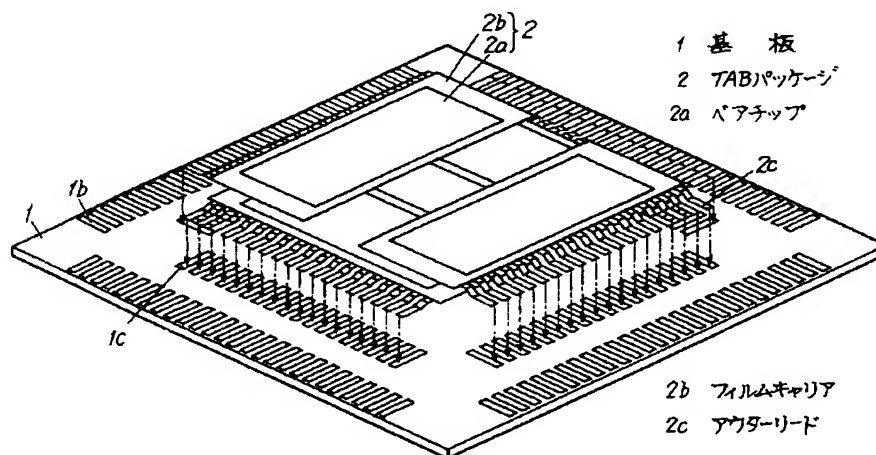
【図11】従来の内部メモリーの回路図

【図12】同内部メモリー回路をプリント基板にメモリーICを半田付け実装して構成した状態を示す図

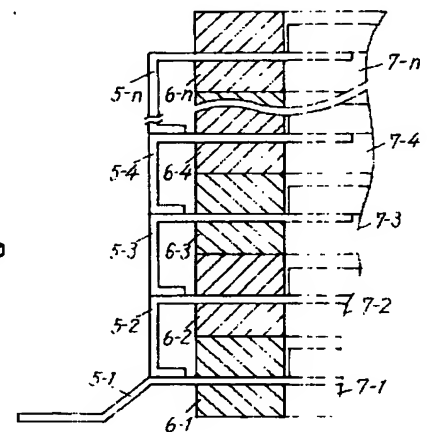
【符号の説明】

- 1 集積回路基板
- 1 b 端子パッド
- 1 c アウターリードパッド
- 2 TABパッケージ
- 2 a ベアチップ
- 2 b フィルムキャリア
- 2 c アウターリード
- 3 チップコンデンサ
- 4 リードフレーム
- 5 リード端子
- 6 支持枠

【図1】

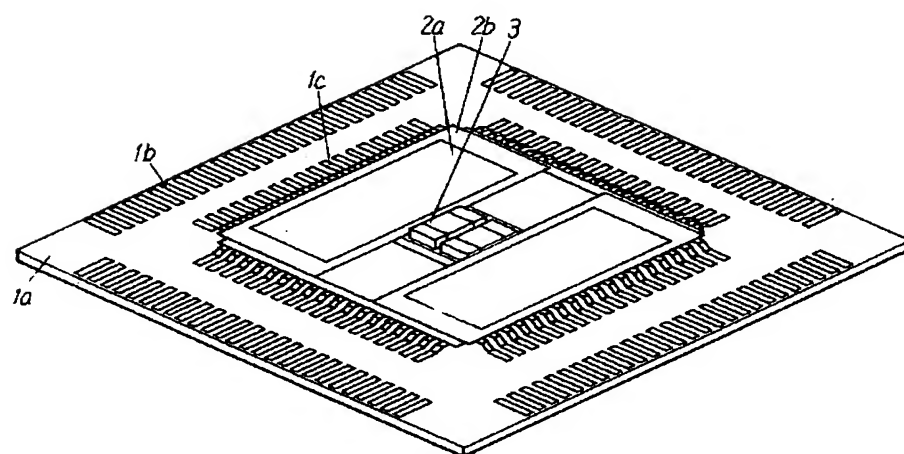


【図8】

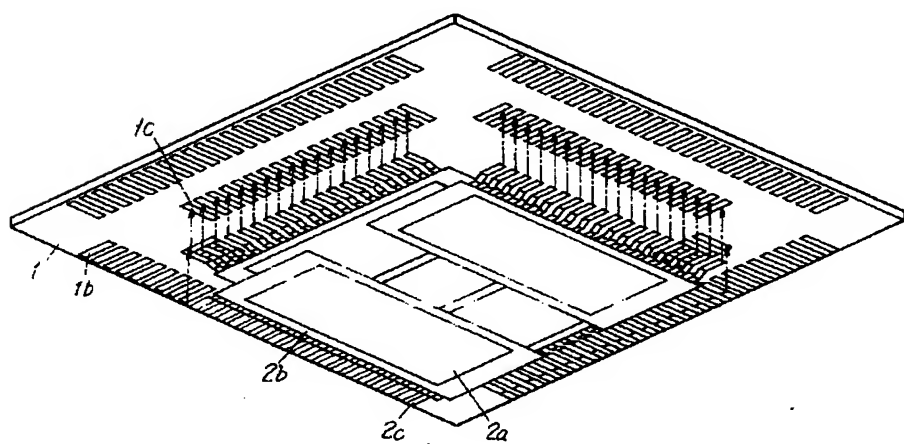


(7)

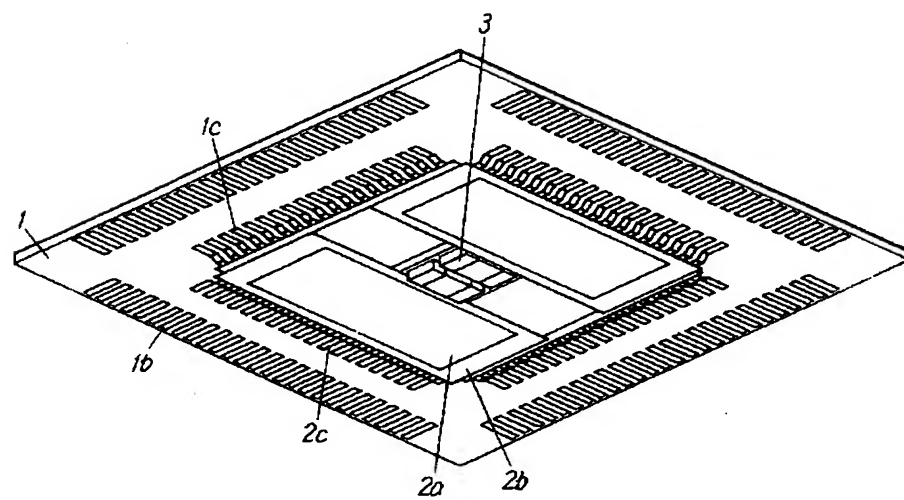
【図2】



【図3】



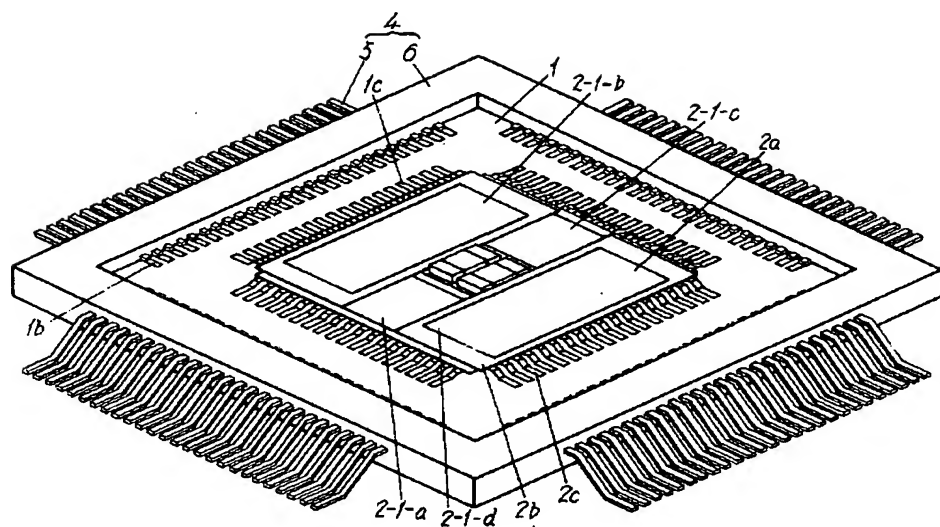
【図4】



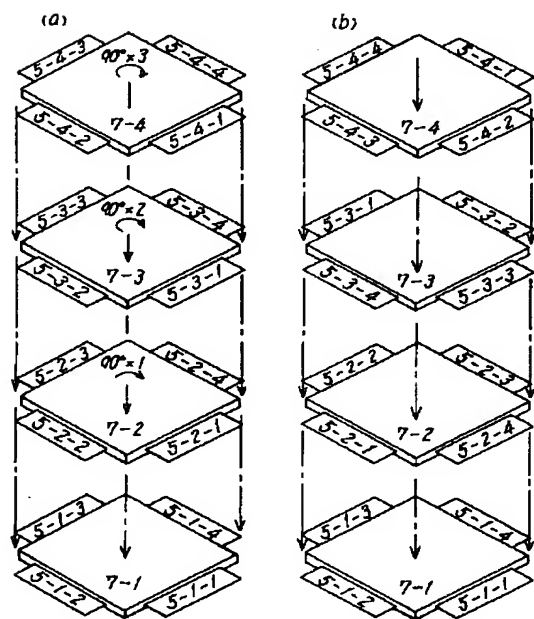


(8)

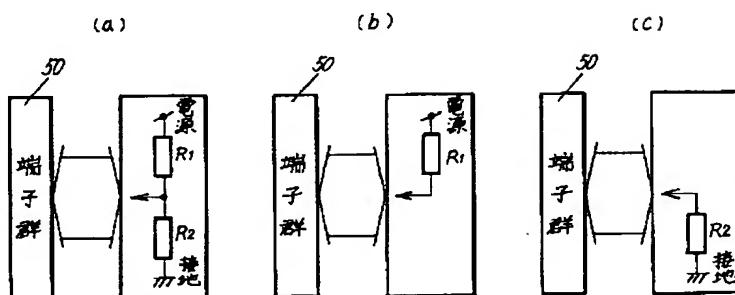
【図5】



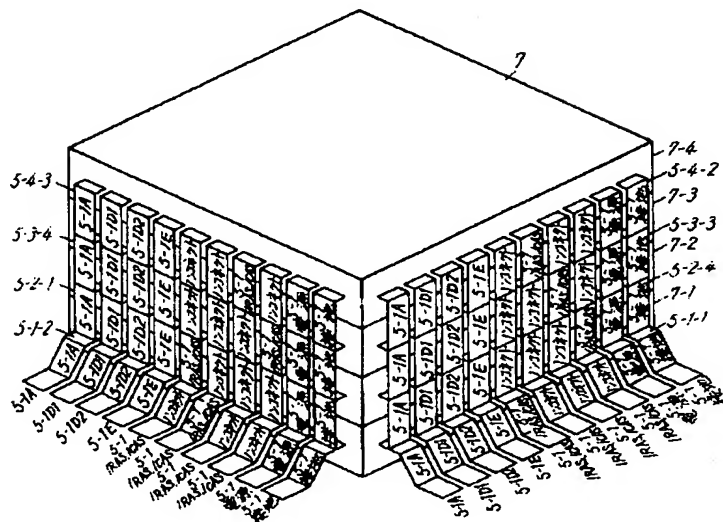
【図7】



【図9】

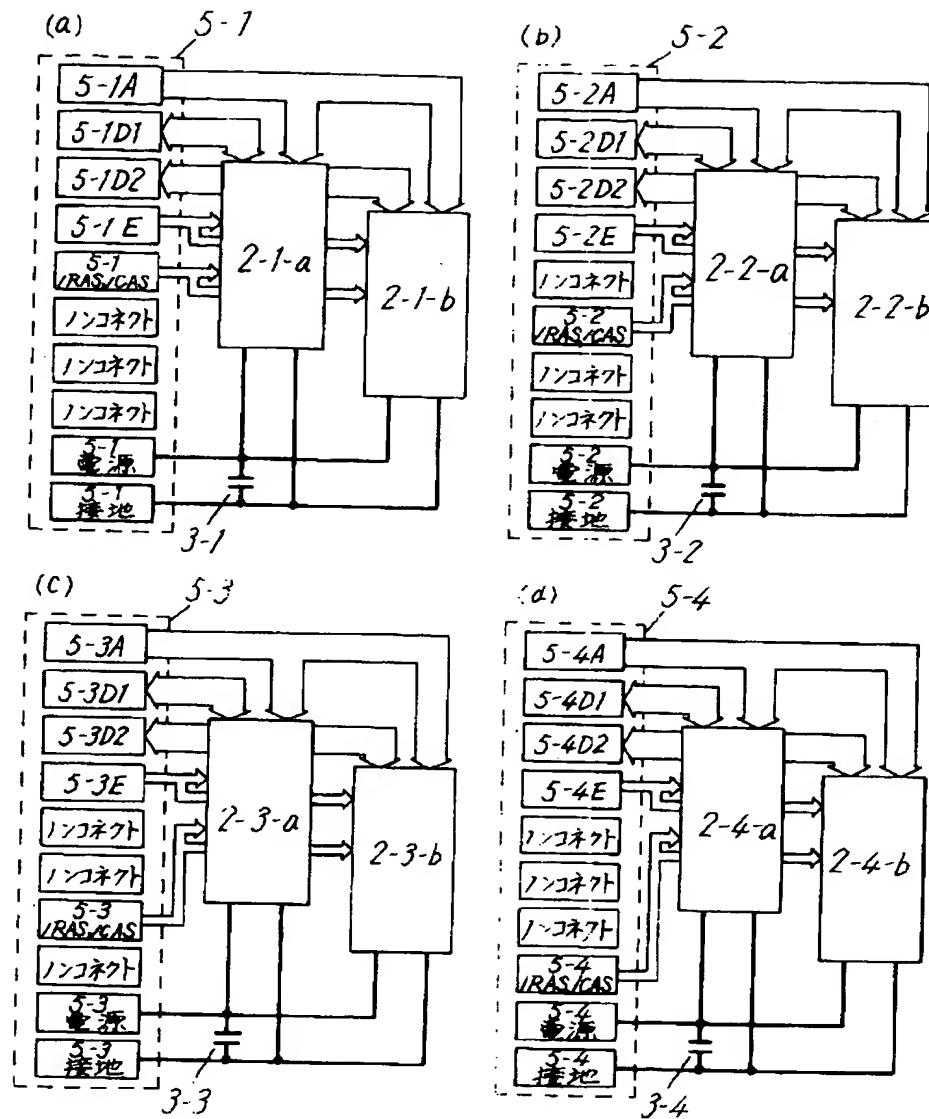


【図10】



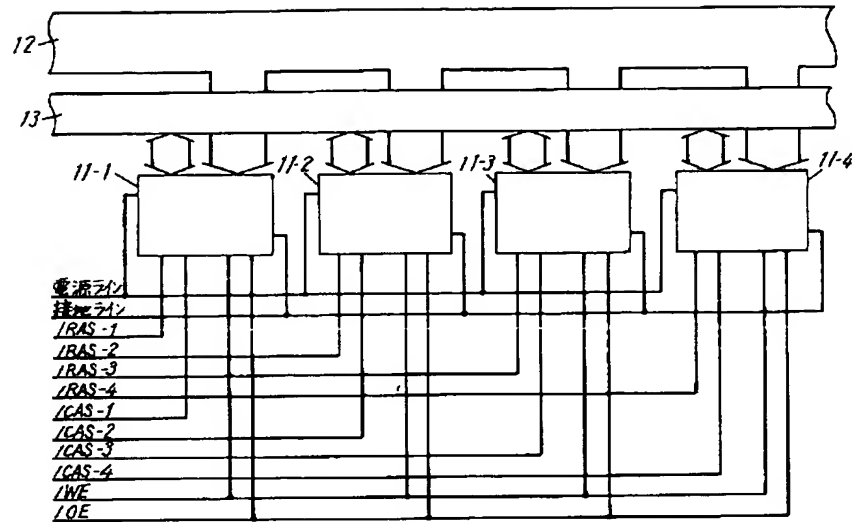
(9)

【図6】

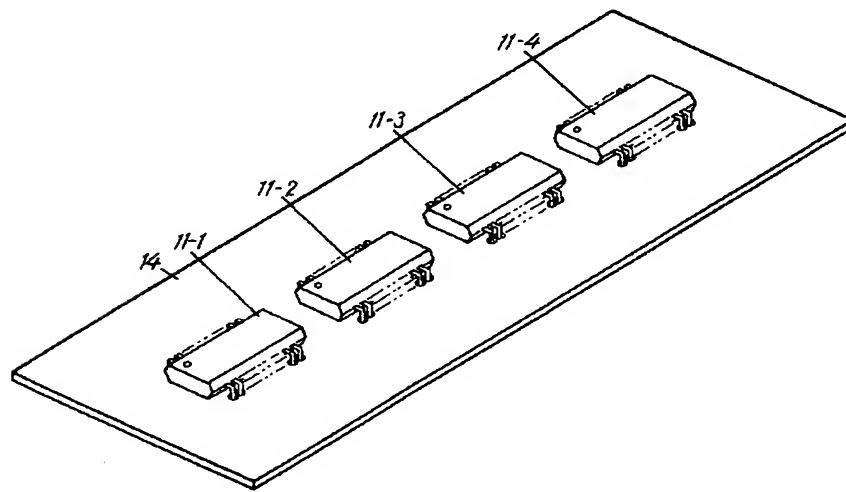


(10)

【図11】



【図12】



フロントページの続き

(72) 発明者 安保 武雄  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 古川 仁信  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 岡本 泉  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 竹田 和男  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 井田 秀二  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINE OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**